
Elektrotehnički fakultet u Beogradu
Katedra za računarsku tehniku i informatiku

Predmet: Multiprocesorski sistemi (SI4MPS)
Nastavnik: dr Milo Tomašević, vanr. prof.
Asistent: dipl. ing. Marko Mišić
Ispitni rok: Treći kolokvijum (januar 2013.)
Datum: 15.01.2013.

Kandidat:* _____

Broj Indeksa:* _____

*Kolokvijum traje 105 minuta, prvih sat vremena nije dozvoljeno napuštanje kolokvijuma.
Upotreba literature nije dozvoljena.*

<i>Zadatak 1</i>	_____ /15	<i>Zadatak 5</i>	_____ /10
<i>Zadatak 2</i>	_____ /15	<i>Zadatak 6</i>	_____ /15
<i>Zadatak 3</i>	_____ /10	<i>Zadatak 7</i>	_____ /15
<i>Zadatak 4</i>	_____ /20		

Ukupno na kolokvijumu: _____ /100

Napomena: Ukoliko u zadatku nešto nije dovoljno precizno definisano, student treba da uvede razumnu pretpostavku, da je uokviri (da bi se lakše prepoznala prilikom ocenjivanja) i da nastavi da izgrađuje preostali deo svog odgovora na temeljima uvedene pretpostavke. Kod pitanja koja imaju ponuđene odgovore treba **samo zaokružiti** jedan odgovor. Na ostala pitanja odgovarati **čitko, kratko i precizno**.

* popunjava student.

1. [15] Objasniti pojam *lažnog deljenja* (*false sharing*). Opisati dva primera kada se ono javlja. Kakve su posledice ove pojave kod invalidacionih, a kakve kod ažurirajućih protokola? Kako bi se ova pojava mogla izbeći?

2. [15] Koliko bitova sadrži jedan ulaz kataloga za $Dir_i NB$ protokol u sistemu sa n procesora? Opisati precizno akcije ovog protokola za *read miss* i *write hit* kod nekog procesora. Koji su nedostaci ovog protokola i kada pokazuje loše performanse?

3. [10] Na kojem zapažanju su zasnovane tehnike smanjivanja “visine” kataloga. Načelno opisati organizaciju kataloga kod tih tehnika.

4. [20] Nacrtati sliku hijerarhijskog sistema sa distribuiranom memorijom organizovanog oko dva nivoa magistrala B1 i B2. Ako se u sistemu održava inkluzija u keš hijerarhiji opisati kako se odvijaju operacije čitanja i upisa od nekog procesora.

5. [10] Kako se organizuje izvršavanje jezgra na grafičkim procesorima koji podržavaju CUDA tehnologiju? Na primeru `VectorAddition` jezgra, napisati izvršnu konfiguraciju i poziv jezgra prilikom izvršavanja jezgra za nizove dužine 1M elemenata. Smatrati da su nizovi `devA`, `devB` i `devC` već alocirani.

```
__global__ void VectorAddition (int* devA, int* devB, int* devC, int n){  
    int idx = threadIdx.x + blockDim.x * blockIdx.x;  
    if(idx < n) devC[idx] = devA[idx] + devB[idx];  
}
```

6. [15] Kako je organizovana operativna memorija na strani grafičkog procesora i kada je omogućeno povećanje propusnog opsega prilikom pristupa memoriji? Navesti primer za jedan poželjan i jedan nepoželjan obrazac pristupa memoriji i objasniti zašto.

7. [15] Napisati jezgro CUDA programa koje vrši prebrojavanje parnih i neparnih brojeva u zadatom nizu celih brojeva. Obradu niza vršiti po blokovima od 1024 elementa. Smatrati da u jednom bloku niti ima 256 niti. Jezgro treba da formira dva niza celih brojeva, od kojih prvi sadrži broj parnih, a drugi sadrži broj neparnih elemenata za svaki obrađeni blok pojedinačno. Smatrati da su svi nizovi alocirani unapred. Prilikom rešavanja zadatka koristiti deljenu memoriju za smeštanje međurezultata i voditi računa da se ostvari maksimalan paralelizam.

```
__global__ void countKernel (int* array, int* evenCnt, int* oddCnt, int n);
```