
Elektrotehnički fakultet u Beogradu
Katedra za računarsku tehniku i informatiku

Predmet: Multiprocesorski sistemi (SI4MPS)
Nastavnik: dr Milo Tomašević, vanr. prof.
Asistent: dipl. ing. Marko Mišić
Ispitni rok: januar 2014.
Datum: 14.01.2014.

Kandidat:* _____

Broj Indeksa:* _____

*Ispit traje 180 minuta, prvih sat vremena nije dozvoljeno napuštanje ispita.
Upotreba literature nije dozvoljena.*

<i>Zadatak 1</i>	_____/5	<i>Zadatak 6</i>	_____/10
<i>Zadatak 2</i>	_____/10	<i>Zadatak 7</i>	_____/10
<i>Zadatak 3</i>	_____/15	<i>Zadatak 8</i>	_____/10
<i>Zadatak 4</i>	_____/10	<i>Zadatak 9</i>	_____/15
<i>Zadatak 5</i>	_____/5	<i>Zadatak 10</i>	_____/10

Ukupno na ispitu: _____/100

Napomena: Ukoliko u zadatku nešto nije dovoljno precizno definisano, student treba da uvede razumnu pretpostavku, da je uokviri (da bi se lakše prepoznala prilikom ocenjivanja) i da nastavi da izgrađuje preostali deo svog odgovora na temeljima uvedene pretpostavke. Kod pitanja koja imaju ponudene odgovore treba **samo zaokružiti** jedan odgovor. Na ostala pitanja odgovarati **čitko, kratko i precizno**.

* popunjava student.

1. [5] Objasniti trendove u memorijskoj tehnologiji.

2. [10] Objasniti kako povećanje broja procesora u sistemu obično utiče na ubrzanje i nacrtati tipičnu krivu. Objasniti razloge koji onemogućavaju da se postigne linearno ubrzanje.

3. [15] Kod protokola *Dragon* precizno:

a) definisati stanja

b) opisati šta se dešava prilikom pogotka pri promašajima kod čitanja i upisa, kao i pri zameni.

4. [10] Objasniti i uporediti pojmove memorijske *koherencije* i *konzistencije*. Definirati njihov odnos. Objasniti da li je neophodno da neki sistem bude sekvencijalno konzistentan i kakvo je alternativno rešenje.

5. [5] Objasniti zašto primena isključivo invalidacione ili ažurirajuće strategije najčešće nije optimalno rešenje.

6. [10] a) Definisati pojam inkluzije u keš hijerarhiji. Objasniti šta se dobija primenom inkluzije. b) U slučaju da se održava inkluzija, objasniti koje sve se transakcije i kako obavljaju između dva nivoa keš memorije.

7. [10] Kod POSIX niti, na koje sve načine se može obezbediti da stvorene niti ne počnu sa radom pre nego glavna nit završi sa stvaranjem svih niti? Koristeći brave i uslovne promenljive, napisati deo koda koji realizuje opisanu funkcionalnost. Navesti i deo koda za inicijalizaciju korišćenih objekata.

8. [10] Na koji način se na grafičkom procesoru sakrivaju kašnjenja koja nastaju prilikom pristupa sporoj, globalnoj memoriji uređaja? Koja razlika tu postoji u odnosu na centralni procesor?

9. [15] Neka su data dva niza celih brojeva. Potrebno je formirati novi niz od ulaznih nizova tako da bude zadovoljen uslov $c[i] = \max(a[i], b[i])$. Nizovi su alocirani u procesu sa rangom 0 (*master*). Smatrati da je broj elemenata niza deljiv brojem procesa u MPI svetu. Koristeći MPI biblioteku:
- a) [5] Napisati deo koda *master* procesa koji ravnomerno raspoređuje ulazne nizove svim procesima i prihvata rezultat rada nakon formiranja trećeg niza.

b) [10] Ukoliko ulazne nizove treba raspodeliti ciklički, napisati deo koda *master* i *slave* procesa kojim se elementi nizova ravnomerno raspoređuju svim procesima. Dovoljno je napisati kod na primeru jednog ulaznog niza.

10. [10] Dat je multiprocesorski sistem sa 4 identična procesora, koji koristi MOESI protokol za održavanje koherencije keš memorije. Svaka keš memorija ima po 2 ulaza, koji su veličine jedne reči. Preslikavanje je direktno. Početne vrednosti podataka su 0. Svaki upis uvećava vrednost izmenjenog podatka za 1. Na početku su sve keš memorije prazne. Data je sledeća sekvenca pristupa memoriji:

1. P0,R,A0	3. P1,R,A1	5. P1,R,A2	7. P0,W,A2
2. P1,W,A2	4. P2,R,A2	6. P1,W,A2	8. P2,W,A1

Napisati stanja koherencije u svim procesorima i stanje memorije posle svake promene i skicirati opisani sistem u trenutku 8. [8 poena]

Da li procesori pristupaju memoriji i kada? Za svaki pristup navesti razlog. [2 poena]

Trenutak 1												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 2												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 3												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 4												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 5

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 6

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 7

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 8

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:
