
Elektrotehnički fakultet u Beogradu
Katedra za računarsku tehniku i informatiku

Predmet: Multiprocesorski sistemi (13E114MUPS, 13S114MUPS)

Nastavnik: dr Milo Tomašević, red. prof.

Asistenti: doc. dr Marko Mišić; Pavle Divović, dipl. ing.

Ispitni rok: Februar 2023.

Datum: 7.02.2023.

Kandidat:* _____

Broj Indeksa:* _____

*Ispit traje 180 minuta, prvih sat vremena nije dozvoljeno napuštanje ispita.
Upotreba literature nije dozvoljena.*

<i>Zadatak 1</i>	_____/5	<i>Zadatak 6</i>	_____/10
<i>Zadatak 2</i>	_____/10	<i>Zadatak 7</i>	_____/10
<i>Zadatak 3</i>	_____/10	<i>Zadatak 8</i>	_____/10
<i>Zadatak 4</i>	_____/10	<i>Zadatak 9</i>	_____/15
<i>Zadatak 5</i>	_____/10	<i>Zadatak 10</i>	_____/10

Ukupno na ispitu: _____/100

Napomena: Ukoliko u zadatku nešto nije dovoljno precizno definisano, student treba da uvede razumnu pretpostavku, da je uokviri (da bi se lakše prepoznala prilikom ocenjivanja) i da nastavi da izgrađuje preostali deo svog odgovora na temeljima uvedene pretpostavke. Kod pitanja koja imaju ponuđene odgovore treba **samo zaokružiti** jedan odgovor. Na ostala pitanja odgovarati **čitko, kratko i precizno**.

* popunjava student.

1. [5] Objasniti kakav je fenomen *power wall* i kakve su njegove posledice.

2. [10] Objasniti karakteristike programskog modela *Data parallel*. Nacrtati i objasniti arhitekturu koja podržava ovaj model.

3. **[10]** Nacrtati dijagram prelaza stanja za MSI protokol i detaljno objasniti akcije i transakcije. Koji su glavni nedostaci ovog protokola?

4. **[10]** Objasniti motivaciju za adaptivne protokole. Ukratko opisati njihovu strategiju i način rada.

5. [10] Detaljno objasniti strukturu kataloga u protokolu *Dir*; *SW*. Precizno objasniti funkcionisanje ovog protokola.

6. [10] Objasniti organizaciju, akcije i transakcije u hijerarhijskom sistemu sa distribuiranom memorijom.

7. **[10]** Navesti i objasniti na koji način se vrši i od čega zavisi raspodela blokova po multiprocesorskim jedinicama prilikom izvršavanja niti na grafičkom procesoru. U kojim situacijama može doći do redukcije paralelizma i od čega to zavisi?
8. **[10]** Objasniti pojam stalne komunikacije u okviru MPI biblioteke i navesti u kojim slučajevima je bolje koristiti stalnu komunikaciju u odnosu na druge komunikacione rutine? Napisati skelet koda pošiljaoca i primaoca kojim se formira stalna komunikacija između dva procesa prilikom koje se šalje niz od 128 elemenata celobrojnog tipa.

9. [15] Korišćenjem OpenMP biblioteke, paralelizovati kod u prilogu koji vrši numeričku integraciju korišćenjem kvadrarnog pravila nad prstenom. Obratiti pažnju na efikasnost i korektnost paralelizacije.

```
void annulus_rule_compute ( double center[2], double r1, double r2,
    int nr, int nt, double w[], double x[], double y[] ) {

    double a, area, b, c, d, *ra, *rw, t, tw;

    int i, j, k;

    const double r8_pi = 3.141592653589793;

    ra = ( double * ) malloc ( nr * sizeof ( double ) );
    rw = ( double * ) malloc ( nr * sizeof ( double ) );

    legendre_ek_compute ( nr, ra, rw );

    a = -1.0; b = +1.0; c = r1 * r1; d = r2 * r2;

    for ( i = 0; i < nr; i++ )

        ra[i] = sqrt ( ra[i] );

    for ( i = 0; i < nr; i++ )

        rw[i] = rw[i] / ( r2 + r1 ) / ( r2 - r1 );

    tw = 1.0 / ( double ) ( nt );

    area = annulus_area ( center, r1, r2 );

    k = 0;

    for ( i = 0; i < nt; i++ ) {

        t = 2.0 * r8_pi * ( double ) ( i ) / ( double ) ( nt );

        for ( j = 0; j < nr; j++ ) {

            x[k] = center[0] + ra[j] * cos ( t );

            y[k] = center[1] + ra[j] * sin ( t );

            w[k] = area * tw * rw[j];

            k = k + 1;

        }

    }

    free ( ra ); free ( rw );

    return;

}
```

10. [10] Dat je multiprocesorski sistem sa 4 identična procesora, koji koristi *MOESI* protokol za održavanje koherencije keš memorije. Svaka keš memorija ima po 2 ulaza, koji su veličine jedne reči. Preslikavanje je **direktno**. Početne vrednosti podataka su 0. Svaki upis uvećava vrednost izmenjenog podatka za 1. Na početku su sve keš memorije prazne. Data je sledeća sekvenca pristupa memoriji:

1. P1, R, A0	3. P0, W, A2	5. P1, W, A0	7. P1, R, A2
2. P1, W, A0	4. P0, R, A2	6. P3, W, A2	8. P1, W, A2

Napisati stanja koherencije u svim procesorima i stanje memorije posle svake promene i skicirati opisani sistem u trenutku 8. [8 poena]

Da li procesori pristupaju memoriji i kada? Za svaki pristup navesti razlog. [2 poena]

Trenutak 1												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 2												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 3												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 4												Memorija	
P0			P1			P2			P3			A0	

Pristupi memoriji:

Trenutak 5

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 6

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 7

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 8

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:
