
Elektrotehnički fakultet u Beogradu
Katedra za računarsku tehniku i informatiku

Predmet: Multiprocesorski sistemi (13E114MUPS, 13S114MUPS)
Nastavnik: dr Milo Tomašević, red. prof.; dr Marko Mišić, vanr. prof.
Asistent: Matija Dodović, dipl. ing.
Ispitni rok: Jul 2024.
Datum: 04.07.2024.

Kandidat:* _____

Broj Indeksa:* _____

*Ispit traje 180 minuta, prvih sat vremena nije dozvoljeno napuštanje ispita.
Upotreba literature nije dozvoljena.*

<i>Zadatak 1</i>	_____ /5	<i>Zadatak 6</i>	_____ /10
<i>Zadatak 2</i>	_____ /10	<i>Zadatak 7</i>	_____ /10
<i>Zadatak 3</i>	_____ /10	<i>Zadatak 8</i>	_____ /10
<i>Zadatak 4</i>	_____ /10	<i>Zadatak 9</i>	_____ /15
<i>Zadatak 5</i>	_____ /10	<i>Zadatak 10</i>	_____ /10

Ukupno na ispitu: _____ /100

Napomena: Ukoliko u zadatku nešto nije dovoljno precizno definisano, student treba da uvede razumnu pretpostavku, da je uokviri (da bi se lakše prepoznala prilikom ocenjivanja) i da nastavi da izgrađuje preostali deo svog odgovora na temeljima uvedene pretpostavke. Kod pitanja koja imaju ponuđene odgovore treba **samo zaokružiti** jedan odgovor. Na ostala pitanja odgovarati **čitko, kratko i precizno**.

* popunjava student.

1. [5] Objasniti pojmove labavog i čvrstog skaliranja. Koji zakoni se oslanjaju na ove načine skaliranja?

2. [10] Objasniti programski model *Data Parallel* i karakterističnu strukturu sistema na kojem se obično koristi.

3. [10] Objasniti kojim tehnikama se, pri pisanju softvera za paralelni sistem, može smanjiti cena održavanja koherencije.

4. [10] Objasniti logiku i motivaciju adaptivnih *snoopy* protokola. Objasniti njihovo adaptivno ponašanje. Šta je to invalidacioni prag i kako se on obično implementira?

5. [10] Objasniti strukturu kataloga kao i funkcionisanje samog protokola *Dir_iSW*.

6. [10] Objasniti šta je inkluzija u hijerarhiji keš memorija. Diskutovati njene prednosti kao i posledice njene primene (prostorne i vremenske zahteve).

7. [10] Objasniti koncept sinhronizacije na barijeri kod OpenMP biblioteke. Navesti kako se barijere implicitno i eksplicitno koriste. Na primeru koda sa slike ukloniti suvišne barijere i prokomentarisati ishod.

```
#pragma omp parallel
{
    #pragma omp for
    for (i=1; i<n; i++)
        b[i] = (a[i] + c[i]) / 4.0;
    #pragma omp for
    for (i=0; i<m; i++)
        y[i] = sqrt(z[i]);
}
```

8. [10] Definisati pojam *eager* protokola za razmenu poruka kod MPI biblioteke. Kada ima smisla koristiti ovaj vid protokola i da li programer na to ima uticaj? Objasniti.

9. [15] Korišćenjem CUDA tehnologije paralelizovati funkciju u prilogu koja predstavlja jedan korak simulacije jednog konačnog automata. Koristiti 2D organizaciju jezgra. Obratiti pažnju na efikasnost paralelizacije.

```
void compute(void *u, int w, int h) {
    unsigned (*univ)[w] = u, new[h][w];
    for (int x = 0; x < w; x++)
        for (int y = 0; y < h; y++) { int n = 0;
            for (int y1 = y - 1; y1 <= y + 1; y1++)
                for (int x1 = x - 1; x1 <= x + 1; x1++)
                    if (univ[(y1 + h) % h][(x1 + w) % w]) n++;
            if (univ[y][x]) n--;
            new[y][x] = (n == 3 || (n == 2 && univ[y][x]));
        }
    for (int x = 0; x < w; x++)
        for (int y = 0; y < h; y++) univ[y][x] = new[y][x];
}
```

10. [10] Dat je multiprocesorski sistem sa 4 identična procesora, koji koristi *MSI* protokol za održavanje koherencije keš memorije. Svaka keš memorija ima po 2 ulaza, koji su veličine jedne reči. Preslikavanje je **direktno**. Početne vrednosti podataka su 0. Svaki upis uvećava vrednost izmenjenog podatka za 1. Na početku su sve keš memorije prazne. Data je sledeća sekvenca pristupa memoriji:

1. P0,R,A2	3. P1,R,A2	5. P2,W,A1	7. P2,W,A0
2. P0,W,A2	4. P2,W,A2	6. P0,W,A1	8. P0,R,A1

Napisati stanja koherencije u svim procesorima i stanje memorije posle svake promene i skicirati opisani sistem u trenutku 8. [8 poena]

Da li procesori pristupaju memoriji i kada? Za svaki pristup navesti razlog. [2 poena]

Trenutak 1											
P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 2											
P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 3											
P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 4											
P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 5

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 6

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 7

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:

Trenutak 8

P0			P1			P2			P3		

Memorija	
A0	
A1	
A2	
A3	

Pristupi memoriji:
